

PT4238E/PT4240E 产品应用指南

一、产品功能介绍

产品特点:

- 内置高压JFET，快速启动供电
- 内置高压MOSFET
- $\pm 3\%$ LED输出电流精度
- 固定导通时间，高PF值(>0.9)
- 准谐振控制模式
- 90%以上的转换效率
- 优异的线电压调整率和负载调整率
- 优异的电流温度补偿特性
- 软启动功能
- SOP-7 封装

保护功能:

- 输出开路/过压保护
- 输出短路保护
- 逐周期限流保护
- 过温降电流功能

应用领域:

- LED 照明

二、典型应用电路图

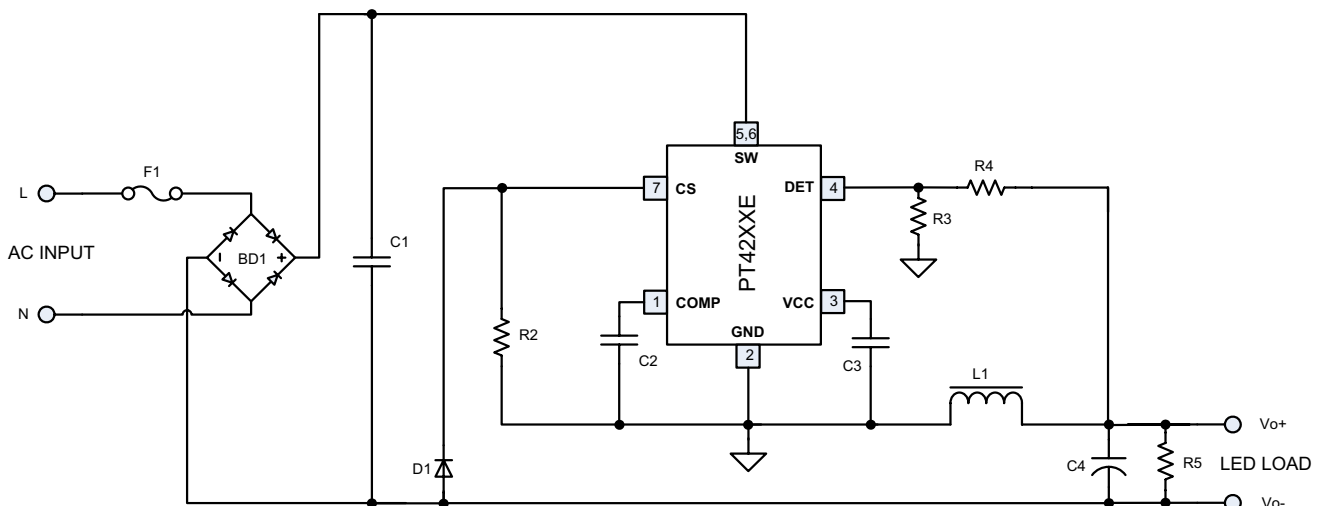


图 1: 典型应用电路

三、输出电流设置

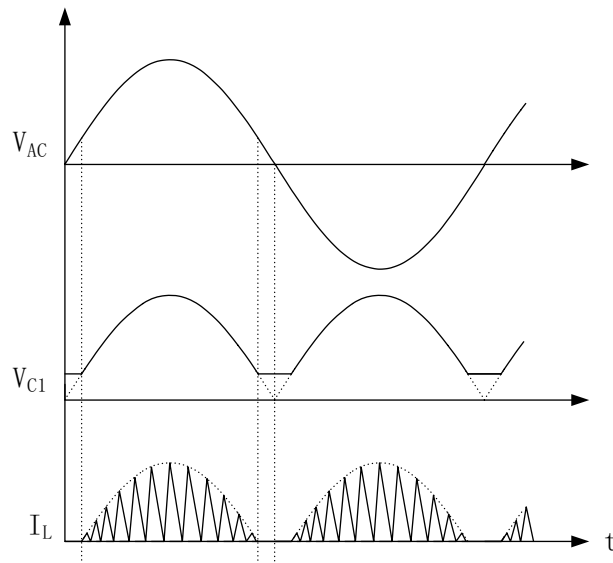


图 2：电感电流波形

PT4238E/PT4240E 采用 BUCK 拓扑结构，并工作于 BCM 准谐振模式，其输出电流等于电感平均电流。所以只要检测电感平均电流就可以达到输出恒流的效果。

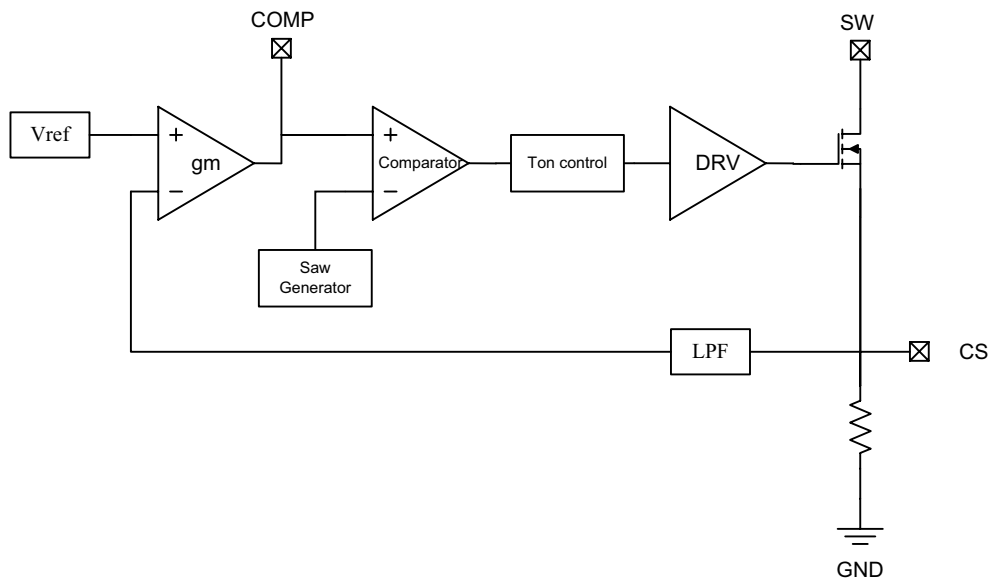


图 3：环路控制

系统中，CS 的电压经低通滤波后与内部基准 V_{ref} 比较，用于调节 COMP 电压，再通过 COMP 电压调节 PWM 脉宽，而脉宽的改变则引起 CS 电阻上的电流变化，所以整套系统实现闭环控制。

例如：某一时刻输出电流偏大，那么此时 CS 上的平均电压一定高于 V_{ref} ，因此 GM 输出端给 COMP 放电，COMP 电压降低，Ton 减小，流过 CS 的电流减小。

所以，只要给定基准电压 V_{ref} ，再通过调节外部的采样电阻 R_{cs} ，即可得到恒定的输出电流：

$$I_{out} = I_L = \frac{V_{ref}}{R_{cs}}$$

式中：

I_{out} 是系统输出电流

I_L 是电感电流

V_{ref} 是 CS 内部基准电压，设定为 200mV

R_{cs} 是 CS 采样电阻

四、空载及 OVP 保护

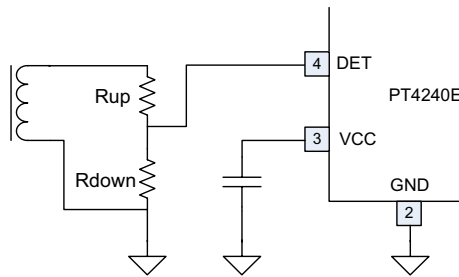


图 4: DET 检测

PT4238E/PT4240E 的 OVP 通过 DET 脚来实现。当 IC 检测到 DET 引脚电压连续 3 个开关周期都高于 2V，则触发芯片的 DET 过压保护。DET 过压时，系统会关断 GATE 输出并进入重启打嗝模式。由于 PT4238E/PT4240E 采用高压 JFET 供电，所以保护后的重启时间会非常短，为了防止空载电压过高以及空载损耗过大，PT4238E/PT4240E 设定 VCC 在第 8 次达到工作电压后才开始有脉冲输出。

当系统工作在最高输出电压的状态下时，通常建议 DET 的平台电压设定在 1.6V，即：

$$V_{OUT} = 1.6V * \frac{R_{UP} + R_{DOWN}}{R_{DOWN}}$$

式中：

V_{OUT} 是系统输出电压

R_{UP} 是 DET 上拉电阻

R_{DOWN} 是 DET 下拉电阻

由此，得到 R_{UP} 与 R_{DOWN} 之间的比值：

$$\frac{R_{UP}}{R_{DOWN}} = \frac{V_{OUT} - 1.6V}{1.6V}$$

需要特别注意的是，由于 PT4238E/PT4240E 采用的是浮地架构（IC 的 GND 不是稳定地），而 DET 是个高阻抗的引脚，容易受干扰导致误触发，因此 DET 引脚及走线需要尽量短并且远离干扰源。

五、短路保护

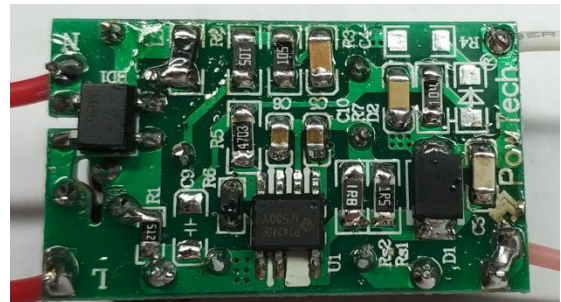
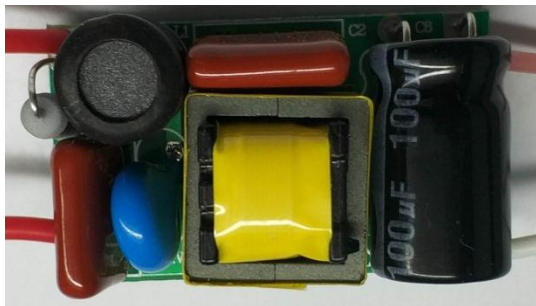
当 LED 短路时，由于 DET 检测不到去磁时间，PT4238E/PT4240E 会工作在 T_{off_max} 的状态，此时的系统工作频率约为 5.7KHz，在该状态持续 64 个周期后，IC 将 COMP 电压钳位至约 1.0V，从而降低短路状态时的电路功耗。

六、过温降电流保护

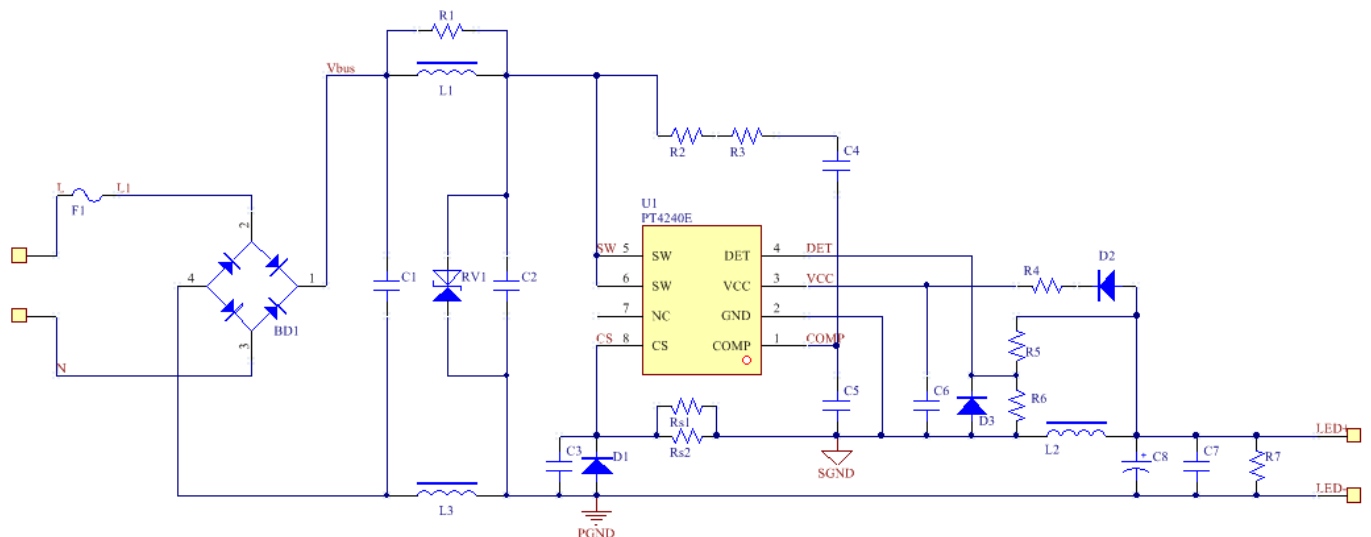
当 PT4238E/PT4240E 控制芯片的结温达到 155℃时，会触发芯片内部的过热调节功能，此时芯片会自动降低系统的基准电压 V_{ref} 以降低输出电流从而保护芯片及系统不会因为过热而损坏。

七、标准 DEMO BOARD

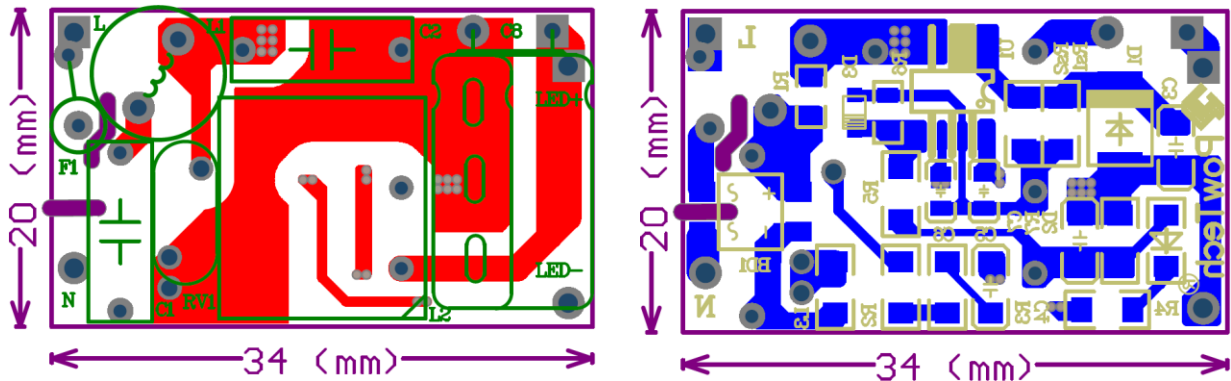
INPUT: 100-240VAC
 OUTPUT: 75V/240mA
 实物图:



原理图:



PCB LAYOUT:



BOM:

Item	Reference	Description	QTY	Manufacturer
1	BD1	BRIDGE-DIODE 0.5A 600V MB6S MDI	1	
2	C1,C2	CAP MPC154 150nF/400V 薄膜电容 P=10mm	2	
3	C3	CAP SMD MLCC 220K/1KV 1206 X7R ±10%	1	
4	C4	CAP SMD MLCC 102K/1KV 1206 X7R ±10%	1	
5	C5,C6	CAP SMD MLCC 225K/25V 0805 X7R ±10%	2	
6	C7	CAP SMD MLCC 472K/1KV 1206 X7R ±10%	1	
7	C8	CAP AL-E 100u M 100V 105C 10*16mm	1	
8	D1	DIODE 2A 600V ES2J SMA	1	
9	D2	NC	0	
10	D3	DIODE 0.1A 100V 1N4148 SOD323		
11	F1	RES-FUSE 4.7R 1W 保险丝电阻	1	
12	L1	INDUCTOR 3.3mH 工字电感 Ø8*10	1	
13	L2	INDUCTOR EE13 卧式 4+4PIN PIN3-PIN1 160Ts(Ø0.30mm*1.8层) 0.66mH	1	
14	L3	BEAD SMD 1500R@100MHz 1206 ±25% 贴片磁珠	1	
15	RV1	MOV 07D471	1	
16	R1	RES SMD CHIP 5.1KJ 0805 1/8W 5%	1	
17	R2,R3	RES SMD CHIP 1MJ 1206 1/4W 5%	2	
18	R4	NC	0	
19	R5	RES SMD CHIP 470KF 1206 1/4W 1%	1	
20	R6	RES SMD CHIP 10KF 0805 1/8W 1%	1	
21	R7	RES SMD CHIP 100KJ 1206 1/4W 5%	1	
22	Rs1	RES SMD CHIP 1.5RF 1206 1/4W 1%	1	
23	Rs2	RES SMD CHIP 1.8RF 1206 1/4W 1%	1	
24	U1	IC SOP7 PT4240E POWTECH	1	

八、设计注意事项

1. 关于LAYOUT:

- a、减小功率环路面积，如主电感、功率管、输入和输出电容的环路面积，主电感、续流二极管和输出电容的环路面积，以减小EMI辐射。
- b、VCC以及COMP引脚的旁路电容需要紧靠芯片引脚。
- c、电流采样电阻的功率地线尽可能短，且靠近VCC电容与芯片地，其它小信号地线与功率地单点接到VCC电容的地端。
- d、接到DET的两个分压电阻尽量靠近DET引脚，且节点远离跳变点。
- e、尽可能在芯片的SW脚多铺铜有助于散热。

2. 关于THD:

上述原理图中R2, R3, C4是用于改善THD的，如果无THD要求，可以取消这三个元件。

3. 关于SURGE (雷击):

如果要过550V雷击，建议将压敏电阻放至滤波电感后（见上述原理图中RV1），如果没有雷击要求，可以取消这个元件。

4. 关于传导:

PT4238E/PT4240E的传导较容易通过，通常在整流后加个 π 滤波即可，两CBB的容值可以这样选:

- a、输出功率小于10W，可以用两个100nF的电容;
- b、输出功率大于10W，容值=功率*20nF。例如：输出功率为15W，容值=15*20nF，即用两个150nF的电容。

如果没有传导要求，可以只在整流后加一个CBB电容，而不需要 π 滤波。

5. 关于辐射:

上述原理图中L3, C3, C7是用于改善辐射的，如果无辐射要求，可以取消这三个元件。

九、版本修订历史

日期	制作人	版本号	备注
2017.06.20	盛欢	Ver1.0	初始版
2017.09.12	盛欢	Ver1.1	增加设计注意事项